

Family list

7 family members for:

WO9815973

Derived from 5 applications.

[Back to WO](#)

- 1 THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY EMPLOYING IT**
Publication info: JP10116990 A - 1998-05-06
- 2 No English title available**
Publication info: TW416150 B - 2000-12-21
- 3 THIN FILM TRANSISTORS, AND LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC APPARATUS USING THE SAME**
Publication Info: US6770936 B2 - 2004-08-03
US2001038097 A1 - 2001-11-08
- 4 Thin film transistors, liquid crystal display device and electronic apparatus using the same**
Publication Info: US6933571 B2 - 2005-08-23
US2004145018 A1 - 2004-07-29
- 5 THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY AND ELECTRONIC EQUIPMENT MADE USING THE SAME**
Publication Info: WO9815973 A1 - 1998-04-16

Data supplied from the *esp@cenet* database - Worldwide

THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY AND ELECTRONIC EQUIPMENT MADE USING THE SAME

Publication number: WO9815973

Publication date: 1998-04-16

Inventor: INOUE SATOSHI (JP); YUDASAKA ICHIO (JP)

Applicant: SEIKO EPSON CORP (JP); INOUE SATOSHI (JP); YUDASAKA ICHIO (JP)

Classification:

- international: H01L21/84; H01L23/367; H01L27/12; H01L29/417; H01L29/423; G02F1/1362; H01L21/70; H01L23/34; H01L27/12; H01L29/40; G02F1/13; (IPC1-7): H01L21/336; H01L29/786

- european: H01L21/84; H01L23/367F; H01L27/12; H01L29/417D; H01L29/417D2; H01L29/423D2B8

Application number: WO1997JP03626 19971008

Priority number(s): JP19960268288 19961009

Also published as:

US6770936 (B2)
US2001038097 (A)
JP10116990 (A)

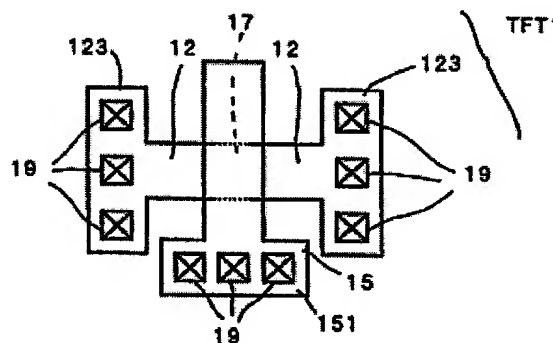
Cited documents:

JP8070049
JP6260643
JP6177386
JP7301825

Report a data error he

Abstract of WO9815973

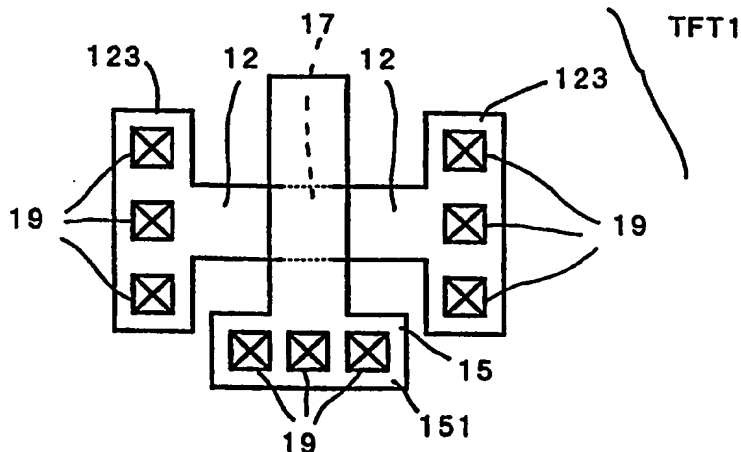
In a TFT which is provided with a channel area opposed to gate electrodes with a gate insulating film inbetween, a source-drain area connected to the channel area, a source-drain wiring layer which is electrically connected to the source-drain area, and a gate wiring layer which is electrically connected to the gate electrodes on the surface side of a substrate, at least one component composed of a conductive or semiconductor film is provided with an expanded section for radiating heat which is formed by expanding the component itself for improving the heat radiating efficiency of the component.



Data supplied from the esp@cenet database - Worldwide



(51) 国際特許分類 H01L 21/336, 29/786	A1	(11) 国際公開番号 WO98/15973 (43) 国際公開日 1998年4月16日(16.04.98)
(21) 国際出願番号 PCT/JP97/03626 (22) 国際出願日 1997年10月8日(08.10.97) (30) 優先権データ 特願平8/268288 1996年10月9日(09.10.96) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 井上 聡(INOUE, Satoshi)[JP/JP] 湯田坂一夫(YUDASAKA, Ichio)[JP/JP] 〒392 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)		(81) 指定国 KR, US. 添付公開書類 国際調査報告書
(54) Title: THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY AND ELECTRONIC EQUIPMENT MADE USING THE SAME (54) 発明の名称 薄膜トランジスタ及びそれを用いた液晶表示装置並びに電子機器 (57) Abstract In a TFT which is provided with a channel area opposed to gate electrodes with a gate insulating film inbetween, a source-drain area connected to the channel area, a source-drain wiring layer which is electrically connected to the source-drain area, and a gate wiring layer which is electrically connected to the gate electrodes on the surface side of a substrate, at least one component composed of a conductive or semiconductor film is provided with an expanded section for radiating heat which is formed by expanding the component itself for improving the heat radiating efficiency of the component.		



(57) 要約

基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、及び該チャネル領域に接続するソース・ドレイン領域を備え、前記ソース・ドレイン領域に電氣的接続するソース・ドレイン配線層と、前記ゲート電極に電氣的接続するゲート配線層とを有するTFTにおいて、該TFTの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分に、該構成部分自身から拡張されて該構成部分からの放熱効率を高めるための放熱用拡張部が形成されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	SI	スロヴェニア
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英国	LU	ルクセンブルグ	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スワジランド
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャード
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GW	ギニアビサウ	MK	マケドニア共和国	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	ML	マリ	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CG	コンゴ	IS	アイスランド	MX	メキシコ	US	米国
CH	スイス	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CI	コート・ジボアール	JP	日本	NO	ノルウェー	VN	ヴェトナム
CM	カメルーン	KE	ケニア	NL	オランダ	YU	ユーゴスラビア
CN	中国	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CU	キューバ	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CZ	チェコ共和国	KR	大韓民国	PT	ポルトガル		
DE	ドイツ	KZ	カザフスタン	RU	ルーマニア		
DK	デンマーク	LC	セントルシア	SD	ロシア連邦		
EE	エストニア	LI	リヒテンシュタイン		スーダン		

明 細 書

薄膜トランジスタ及びそれを用いた液晶表示装置並びに電子機器

〔技術分野〕

本発明は、薄膜トランジスタ（以下、TFTという。）及びそれを用いて回路構成した駆動回路を備えるアクティブマトリクス基板を用いた液晶表示装置並びに電子機器に関するものである。さらに詳しくは、TFTからの放熱効率を高めるための構造技術に関するものである。

〔背景技術〕

液晶表示装置用のアクティブマトリクス基板などに広く用いられているTFTおよびTFT回路は、従来、図14及び図15に示すように、ゲート電極15Q、ソース・ドレイン領域12Q、およびチャネル領域17Qはいずれも側方へ張り出すことなく、略長方形の平面形状をもつように形成されている。また、図15の各TFT1Qにおいて、ソース・ドレイン領域12Qおよびチャネル領域17Qを構成するシリコン膜は、TFT毎に独立した島状にパターニングされた状態にある。ここで、TFTから各種のTFT回路を構成する際には等幅に形成された配線層801Qを用いてTFT同士を配線接続している。

しかし、従来構造のTFT回路において、その特性・性能の向上のためにTFT1Qに流れる電流をアップすると、TFT1Qの自己発熱によるチャネル領域17Qの温度上昇が大きくなるため、特性の劣化や信頼性の低下が生じるという問題点がある。

そこで、TFT1Qを構成する各層間に熱伝導性の高い層を付加し、それを放熱層として利用してTFTの温度上昇を抑える方法が考えられる。しかし、この方法によると、アクティブマトリクス基板などを製造する際に、放熱層として用いる膜を形成する工程と、それをパターニングする工程とが増えてしまうという

問題点がある。このような製造工程の増加は、アクティブマトリクス基板などの製造コストを高めることになるので好ましくない。

尚、従来技術である第14図及び図15において、コンタクトホール19は等幅に形成されたソースまたはドレインまたはゲートの各領域内に形成されているが、コンタクトホールは一边が等幅のソースまたはドレインまたはゲート領域より大きい場合にはコンタクトホールの周辺だけ前記各領域を等幅部分より大きくすることがあったが、放熱特性を考慮したものではなく、従って、放熱特性を向上できるものではなかった。

以上の問題点に鑑みて、本発明の課題は、製造工程数を増やすことなく放熱効率を高めた構造とし、TFTに流す電流をアップしても特性劣化や信頼性低下のないTFT回路、およびそれを駆動回路に用いたアクティブマトリクス基板を備える液晶表示装置を提供することにある。

〔発明の開示〕

上記課題を解決するために、本発明では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えるTFTと、前記ソース・ドレイン領域に電気的接続するソース・ドレイン配線層と、前記ゲート電極に電気的接続するゲート配線層とを有するTFTにおいて、該TFTの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分には、放熱用拡張部が形成されていることを特徴とする。

すなわち、TFTに新たな層を追加するのではなく、TFTの各構成部分を部分的に拡張することによって、TFTからの放熱効率を高めることを特徴とする。

本発明では、TFTの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分には放熱用拡張部が形成されているので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分を設けたので、その側面部分の面積も拡張されたことになる。すなわち、構成部分の表面積を拡大した分、そこからの放熱効率が高い。しかも、放熱用に拡張した部分は、導電膜や半導体膜といった絶縁膜からみて熱伝導性の高い膜で構成されているので、

拡張部分から効率よく放熱することができる。さらに、放熱用の拡張部分は、あくまでTFTを従来から構成していた部分を拡張した部分である。従って、放熱用の拡張部分を設けるといっても、製造工程数が増えない。それ故、TFTの製造コストは上昇しない。

本発明において、前記放熱用拡張部は前記ゲート電極から側方への拡張部分として構成することがある。

たとえば、前記ゲート電極の拡張部分は、該ゲート電極の少なくとも一方の端部に形成されていることがある。この場合には、前記ゲート電極の拡張部分には、複数のコンタクトホールを介してゲート配線層が電氣的接続していることが好ましい。このように構成すると、ゲート電極からゲート配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

また、前記ゲート電極の拡張部分は、前記チャネル領域に重畳する領域内に形成されていることがある。このように構成すると、ゲート電極の拡張部分はTFTの形成領域からはみ出ないので、TFTの高集積化を妨げない。この場合に、前記ゲート電極の拡張部分は、前記チャネル領域の幅方向における略中央領域に相当する位置に形成されていることが好ましい。このように構成すると、チャネル領域の幅方向において発熱が最も顕著である部分での放熱効率を高めることになるので、その効果が高い。

本発明において、前記放熱用拡張部は、前記チャネル領域から側方への拡張部分として構成することもある。この場合には、前記チャネル領域の拡張部分は、前記ゲート電極に重畳する領域内に形成されていることが好ましい。このように構成すると、チャネル領域からの拡張部分はTFTの形成領域からはみ出ないので、TFTの高集積化を妨げない。

本発明において、前記放熱用拡張部は、前記ソース・ドレイン領域から側方への拡張部分として構成することもできる。この場合に、前記ソース・ドレイン領域の拡張部分には複数のコンタクトホールを介してソース・ドレイン配線層が電氣的接続していることが好ましい。このように構成すると、ソース・ドレイン領域からソース・ドレイン配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

本発明において、前記放熱用拡張部は、逆導電型の前記TFTによって構成されたCMOSインバータ回路において各CMOS回路間で前記TFTのソース・ドレイン領域同士を接続するように前記ソース・ドレイン領域から側方に拡張された拡張部分として構成してもよい。この場合には、前記放熱用拡張部は、該拡張部自身が接続するソース・ドレイン領域と同一の不純物により導電化されていることが好ましい。このように構成すると、放熱用拡張部自身が冗長配線としての機能を発揮することになる。また、前記放熱用拡張部は、各CMOS回路間で前記TFTのソース・ドレイン領域同士を接続する前記ソース・ドレイン配線層と重畳する領域内に形成されていることが好ましい。このように構成すると、放熱用拡張部は、ソース・ドレイン配線層からはみ出ないので、CMOSインバータ回路の高集積化を妨げない。

本発明において、前記放熱用拡張部は、前記ソース・ドレイン配線層および前記ゲート配線層のうちの少なくとも一方の配線層から側方への拡張部分として構成することもある。

このようにして放熱効率を高めたTFTについては、それを液晶表示装置用のアクティブマトリクス基板上において駆動回路を構成するのに適している。

〔図面の簡単な説明〕

図1は本発明の実施の形態1に係るTFT回路に構成したTFTの平面図である。

図2は本発明の実施の形態2に係るTFT回路に構成したTFTの平面図である。

図3は本発明の実施の形態3に係るTFT回路に構成したTFTの平面図である。

図4は本発明の実施の形態4に係るTFT回路に構成したTFTの平面図である。

図5は本発明の実施の形態5に係るTFT回路に構成したTFTの平面図である。

図6は本発明の実施の形態6に係るCMOSインバータ回路の平面図である。

図7は(A)は、本発明の実施の形態7に係るCMOSインバータ回路の平面図、(B)は、その他の配線において放熱効率を高めるときの説明図である。

図8は液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

図9は(A)は、図8に示すアクティブマトリクス基板において、そのデータ側駆動回路または走査側駆動回路に構成されているCMOSインバータ回路の回路図、(B)は、このCMOSインバータ回路を構成するTFTおよび配線層を示す平面図である。

図10は図8に示すアクティブマトリクス基板に区画された画素領域の1つを拡大して示す平面図である。

図11は図8に示すアクティブマトリクス基板に構成される3種類のTFTおよび保持容量の断面図である。

図12は図11に示すアクティブマトリクス基板の製造方法の一例を示す工程断面図である。

図13は図11に示すアクティブマトリクス基板の製造方法の一例において、図12に示す工程に続いて行う各工程を示す工程断面図である。

図14は従来のTFTの平面図である。

図15は従来のTFT回路に構成したTFTの平面図である。

図16は本発明を用いた液晶表示装置の一例の平面図である。

図17は図16のH-H'断面図である。

図18は本発明による電子機器の実施の形態の概略構成を示すブロック図である。

図19は電子機器の一例としてのパーソナルコンピュータを示す成面図である。

図20は電子機器の一例としてのページャを示す分解斜視図である。

図21は電子機器の一例としてのTCPを用いた駅長表示装置を示す斜視図である。

図22は液晶プロジェクタのRGBの3色光を合成するプリズム光学系を示す概念図である。

- 1 A 駆動回路用のN型のT F T
- 1 B 駆動回路用のP型のT F T
- 1 C 画素用のN型のT F T
- 4 保持容量
 - 1 0 基板
 - 1 2、1 2 A、1 2 B、1 2 C ソース・ドレイン領域
 - 1 7、1 7 A、1 7 B、1 7 C チャンネル領域
 - 1 3・・・ゲート絶縁膜
 - 1 5、1 5 A、1 5 B、1 5 C ゲート電極
 - 1 9 コンタクトホール
 - 2 0 A、2 0 B、2 0 C、4 0、2 0 0・・・半導体膜
 - 5 1 層間絶縁膜
 - 7 2、7 3・・・導電膜
 - 8 0 CMOSインバータ回路（T F T回路）
 - 8 1 CMOS回路（T F T回路）
 - 1 5 1 ゲート電極の放熱用拡張部分
 - 1 2 3 ソース・ドレイン領域の放熱用拡張部分
 - 1 2 5 ソース・ドレイン領域の放熱用拡張部分
 - 1 7 1 チャンネル領域の放熱用拡張部分
 - 8 0 1、8 0 2 配線層（ソース・ドレイン配線層）
 - 8 0 3 配線層（ゲート配線層）
 - 8 0 4 配線層
 - 8 8 1、8 8 2、8 8 3、8 8 4 配線層の放熱用拡張部分

〔発明を実施するための最良の形態〕

図面を参照して本発明の実施の形態を説明する。なお、以下の説明では、説明の重複を避けるために、共通する機能を有する部分には同一の符号を付してある。

〔実施の形態 1〕

図1は、実施の形態1に係るTFT回路に用いたTFTの平面構造を拡大して示す説明図である。この図に示すTFT1では、ゲート電極15に対してゲート絶縁膜（図示せず。）を介して対峙するチャネル領域17、およびこのチャネル領域17に接続するソース・ドレイン領域12のうち、ゲート電極15にはその両端部分からチャネル長方向に沿って側方に張り出す拡張部分151（放熱用拡張部）を設けてある。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

このように構成したTFT1では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなるゲート電極15に拡張部分151を設けてあるので、平面的にみると放熱可能な面積が拡張されている。また、ゲート電極15に拡張部分151を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極15の表面積が拡大された分、TFT1の放熱効率が低い。それ故、TFT1に流す電流をアップしても、チャネル領域17の温度上昇を抑えることができる。しかも、このようにTFT1の構造を改良するにあたっては、たとえば図13（B）、（C）を参照して後述する工程においてレジストマスク92のパターンを変更するだけでよいので、製造工程数は増えない。

〔実施の形態2〕

図2は、実施の形態2に係るTFT回路に用いたTFTの平面構造を拡大して示す説明図である。この図に示すTFT1では、ゲート電極15、チャネル領域17、およびソース・ドレイン領域12のうち、ゲート電極15にはその中央部分からチャネル長方向に沿って側方に張り出す拡張部分152（放熱用拡張部）を設けてある。ここで、拡張部分152Bは、チャネル幅よりも狭く、かつ、チャネル領域17の幅方向における略中央部分に位置する。19は、ソース・ドレイン領域12およびゲート電極15にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

このように構成したTFT1でも、実施の形態1と同様、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなる

ゲート電極 1 5 に拡張部分 1 5 2 を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ゲート電極 1 5 に拡張部分 1 5 2 を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極 1 5 の表面積が拡大された分、T F T 1 の放熱効率が低い。それ故、T F T 1 に流す電流をアップしても、チャネル領域 1 7 の温度上昇を抑えることができる。しかも、このように T F T 1 の構造を改良するにあたって、たとえば図 1 3 (B)、(C) を参照して後述する工程においてレジストマスク 9 2 のパターンを変更するだけでよいので、製造工程数は増えない。

さらに、ゲート電極 1 5 からチャネル領域 1 7 の幅方向における中央部分で張り出すように、チャネル幅よりも狭い拡張部分 1 5 2 を設けてあるので、チャネル幅方向において発熱が最も顕著である中央部分での放熱効率を高めることになる。それ故、T F T 1 の温度上昇を抑える効果が高い。

また、拡張部分 1 5 2 はあくまで T F T 1 の形成領域からはみ出していないので、T F T 1 の高集積化を妨げることがない。

[実施の形態 3]

図 3 は、実施の形態 3 に係る T F T 回路に用いた T F T の平面構造を拡大して示す説明図である。この図に示す T F T 1 では、ゲート電極 1 5、チャネル領域 1 7、およびソース・ドレイン領域 1 2 のうち、チャネル領域 1 7 にはその中央部分からゲート電極 1 5 の延設方向（チャネル幅方向）に沿って側方に張り出す拡張部分 1 7 1（放熱用拡張部）を設けてある。ここで、拡張部分 1 7 1 は、ゲート電極 1 5 の幅よりも狭く、かつ、ゲート電極 1 5 の幅方向における略中央部分に位置する。1 9 は、ソース・ドレイン領域 1 2 およびゲート電極 1 5 にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

このように構成した T F T 1 では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜（半導体膜）からなるチャネル領域 1 7 に拡張部分 1 7 1 を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、チャネル領域 1 7 に拡張部分 1 7 1 を設けたので、その側面部分の面積も拡張されたことになる。すなわち、チャネル領域 1 7 に相当するシリコン膜の表面積が拡大

された分、T F T 1 の放熱効率が高い。それ故、T F T 1 に流す電流をアップしても、チャネル領域 1 7 の温度上昇を抑えることができる。しかも、このように T F T 1 の構造を改良するにあたっては、たとえば図 1 2 (A)、(B) を参照して後述する工程においてシリコン膜 2 0 0 からシリコン膜 2 0 A、2 0 B を形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

また、拡張部分 1 7 1 はあくまで T F T 1 の形成領域からはみ出していないので、T F T 1 の高集積化を妨げることがない。

[実施の形態 4]

図 4 は、実施の形態 4 に係る T F T 回路に用いた T F T の平面構造を拡大して示す説明図である。この図に示す T F T 1 では、ゲート電極 1 5、チャネル領域 1 7、およびソース・ドレイン領域 1 2 のうち、ソース・ドレイン領域 1 2 にはその両端部分からゲート電極 1 5 の延設方向に沿って側方に張り出す拡張部分 1 2 3 (放熱用拡張部) を設けてある。1 9 は、ソース・ドレイン領域 1 2 およびゲート電極 1 5 にソース・ドレイン配線層やゲート配線層などの配線層 (図示せず。) が導電接続するためのコンタクトホールである。

このように構成した T F T 1 では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域 1 2 に拡張部分 1 2 3 を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域 1 2 に拡張部分 1 2 3 を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域 1 2 の表面積が拡大された分、T F T 1 の放熱効率が高い。それ故、T F T 1 に流す電流をアップしても、チャネル領域 1 7 の温度上昇を抑えることができる。しかも、このように T F T 1 の構造を改良するにあたっては、たとえば図 1 2 (A)、(B) を参照して後述する工程において、シリコン膜 2 0 0 からシリコン膜 2 0 A、2 0 B を形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

[実施の形態 5]

図 5 は、実施の形態 5 に係る T F T 回路に用いた T F T の平面構造を拡大して示す説明図である。この図に示す T F T 1 では、ゲート電極 1 5、チャネル領域 1 7、およびソース・ドレイン領域 1 2 のうち、ゲート電極 1 5 については、実

施の形態1と同様、その両端部分から側方に張り出す拡張部分151（放熱用拡張部）を設けてある。従って、TFT1では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜からなるゲート電極15に拡張部分151を設けてあるので、ゲート電極15の表面積が拡大された分、TFT1の放熱効率が低い。

また、本形態では、ゲート電極15の拡張部分151に対し、その表面側の層間絶縁膜（図示せず。）に形成した3つのコンタクトホール19を介して配線層（ゲート配線層／図示せず。）が電氣的接続する構造になっている。ここで、TFT1の下層側は熱伝導度の低いガラス基板が存在しているので、TFT1から下層側への放熱効率が低いのにに対して、配線層は、層間絶縁膜51の上層側にあつて、しかも金属層から構成されているので、熱伝導効率および放熱効率が低い。従って、本形態では、ゲート電極15と配線層との接触面積が広い分、ゲート電極15から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、TFT1の温度上昇を防止することができる。

一方、ソース・ドレイン領域12については、実施の形態4と同様、その両端部分からゲート電極15の延設方向に沿って側方に張り出す拡張部分123（放熱用拡張部）を設けてある。従って、TFT1では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域12に拡張部分123を設けてあるので、ソース・ドレイン領域12の表面積が拡大された分、TFT1の放熱効率が低い。

さらにまた、本形態では、ソース・ドレイン領域12の拡張部分123に対し、その表面側の層間絶縁膜（図示せず。）に形成した3つのコンタクトホール19を介して配線層（ソース・ドレイン配線層／図示せず。）が電氣的接続する構造になっている。ここで、TFT1の下層側は熱伝導度の低いガラス基板が存在しているので、TFT1から下層側への放熱効率が低いのにに対して、配線層は、層間絶縁膜の上層側にあつて、しかも金属層から構成されているので、熱伝導効率および放熱効率が低い。従って、本形態では、ソース・ドレイン領域12と配線層との接触面積が広い分、ソース・ドレイン領域12から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、TFT1の温度上昇を防止することができる。

なお、図5では、ソース・ドレイン領域の拡張部分及びゲート電極の拡張部分にそれぞれ3つのコンタクトホールを設けているがコンタクトホールの数に制限はなく、また複数のコンタクトホールをつなげて1つの大きなコンタクトホールとしてもよい。

〔実施の形態6〕

図6は、実施の形態6に係るCMOSインバータ回路の平面構造を拡大して示す説明図である。この図に示すCMOSインバータ回路80（TFT回路）では、各段においてCMOS回路81を構成するいずれのP型のTFT1Bにおいても、ドレイン領域12Bは、電圧 V_{dd} が供給されるアルミニウム層からなる配線層801（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続し、いずれのN型のTFT1Aにおいても、ソース領域12Aは、電圧 V_{ss} が供給されるアルミニウム層からなる配線層802（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続している。

また、各段のN型およびP型のTFT1A、1Bのアルミニウム層からなるゲート電極15A、15Bは、コンタクトホール19を介して入出力用の配線層803（ゲート配線層）に電氣的接続し、この配線層803は、前段でCMOS回路81を構成するN型およびP型のTFT1A、1BにおいてN型TFT1Aのソース領域12AとP型TFT1Bのドレイン領域12Bにコンタクトホール19を介して電氣的接続している。

本形態において、ソース・ドレイン領域12A、12Bおよびチャネル領域17A、17Bを構成するシリコン膜はTFT毎に独立した島状ではなく、同じ導電型のTFT1Aのソース・ドレイン領域12A同士は、ソース・ドレイン領域12Aから拡張された拡張部分125Aによって連結され、同じ導電型のTFT1Bのソース・ドレイン領域12B同士は、ソース・ドレイン領域12Bから拡張された拡張部分125Bによって連結された構造になっている。ここで、拡張部分125A、125Bは、ソース・ドレイン領域12A、12Bと一体に形成されたシリコン膜がソース・ドレイン領域12A、12Bと一体に導電化されたものであるため、ソース・ドレイン領域12A同士およびソース・ドレイン領域12B同士は、形状的にも電氣的にも接続している状態にある。従って、拡張部

分125A、125Bは、配線層801、802に対する冗長配線としての機能、および配線抵抗を低減するという機能も有している。

このように構成したCMOSインバータ回路80では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域12A、12Bに拡張部分125A、125Bを設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域12A、12Bに拡張部分125A、125Bを設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域12A、12Bの表面積が拡大された分、TFT1A、1Bの放熱効率が低い。しかも、このようにCMOSインバータ回路80を改良するにあたっては、たとえば図12(A)、(B)を参照して後述する工程において、シリコン膜200からシリコン膜20A、20Bをパターンニング形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

また、図6では拡張部分125A、125Bの存在をわかりやすいように、拡張部分125A、125Bと配線層801、802とをずらして表してあるが、それらを完全に重畳させておけば拡張部分125A、125Bを形成しても、CMOSインバータ回路80の高集積化を妨げないという利点がある。

[実施の形態7]

図7(A)は、実施の形態7に係るCMOSインバータ回路の平面構造を拡大して示す説明図である。この図に示すCMOSインバータ回路80では、P型のTFT1Bのソース・ドレイン領域12B同士を電氣的接続する配線層801(ソース・ドレイン配線層)、およびN型のTFT1Aのソース・ドレイン領域12A同士を電氣的接続する配線層802(ソース・ドレイン配線層)のいずれにも、両側に張り出す拡張部分881、882(放熱用拡張部)が形成されている。

このように構成したTFT1A、1Bでは、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜からなる配線層801、802に両側に向けて広がる拡張部分881、882を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分881、882を設けたので、その側

面部分の面積も拡張されたことになる。すなわち、配線層 801、802 の表面積が拡大された分、そこからの放熱効率が低い。従って、TFT1A、1Bからの熱は、ソース・ドレイン領域 12A、12B を介して配線層 801、802 に伝達されると、そこから効率よく放熱される。このため、TFT1A、1B の温度上昇を防ぐことができる。しかも、このように CMOS インバータ回路 80 を改良するにあたっては、たとえば図 11 を参照して後述する工程において、各配線層 801、802 をパターニング形成する際のマスクパターンを変更するだけでよいので、製造工程数は増えない。

本形態では、配線層 801、802 に拡張部分 881、882 を形成した場合を例に説明したが、N 型および P 型の TFT1A、1B のゲート電極 15A、15B に電氣的接続する配線層 803（ゲート配線層）に対して同様な放熱用の拡張部分を形成してもよい。

また、これらの配線層 801、802、803 に限らず、図 7（B）に示すように、その他の配線層 804 についても、放熱用の拡張部分 884 を形成してもよいことは勿論であり、放熱効率を高めることができれば拡張部分の位置や形状について限定はない。

〔その他の実施の形態〕

なお、上記形態 1～7 については、特徴部分を個々に備えたものを例に説明したが、上記の形態 1 ないし 7 を任意に組み合わせてもよい。たとえば、実施の形態 6 に係る CMOS インバータ回路 80 において、実施の形態 7 に係る配線層 801、802 を用いた場合でも、製造工程数を増やすことなく、TFT からの放熱効率を高めることができる。また、実施の形態 6、7、あるいはそれらを組み合わせた構造の CMOS インバータ回路 80 において、実施の形態 1 ないし 5 に係る構造の TFT1 を用いた場合にも、製造工程数を増やすことなく、TFT 回路での放熱効率を高めることができる。

〔アクティブマトリクス基板への適用例〕

図面を参照して、本発明を液晶表示装置用のアクティブマトリクス基板に適用した場合を説明する。

（アクティブマトリクス基板の全体構成）

図8は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

図8に示すように、液晶表示装置用のアクティブマトリクス基板では、ガラス製などの透明基板上に、アルミニウムなどの金属膜からなる信号線90および走査線91で区画形成された画素領域が構成され、そこには、画素用のTFT1Cを介して画像信号が入力される液晶容量94（液晶セル）が存在する。信号線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータ側駆動回路82（TFT回路）が構成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査側駆動回路83（TFT回路）が構成されている。なお、画素領域には、前段の走査線91との間に保持容量4が形成され、この保持容量4は、液晶容量94での電荷の保持特性を高める機能を有している。

（CMOSインバータ回路の基本構成）

データ側および走査側の駆動回路では、図9（A）にたとえば2段のCMOSインバータ回路80を示すように、N型のTFT1AとP型のTFT1BとによってCMOS回路81が構成されている。このようなCMOS回路81は、1段あるいは2段以上でインバータ回路を構成する。

図9（B）にデータ側および走査側の駆動回路を構成するCMOSインバータ回路80の基本的な平面構造の一例を示してある。この図に、各段のCMOS回路81を構成するいずれのP型のTFT1Bにおいても、ソース・ドレイン領域12A、12Bは、電圧V_{dd}が供給されるアルミニウム層からなる配線層801（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続し、いずれのN型のTFT1Aにおいても、ソース・ドレイン領域12A、12Bは、電圧V_{ss}が供給されるアルミニウム層からなる配線層802（ソース・ドレイン配線層）にコンタクトホール19を介して電氣的接続している。

また、各段のN型およびP型のTFT1A、1Bのアルミニウム層からなるゲート電極15A、15Bは、コンタクトホール19を介して入出力用の配線層803（ゲート配線層）に電氣的接続し、この配線層803は、前段でCMOS回路81を構成するP型およびN型のTFTにおいてN型TFT1Aのソース・ド

レイン領域12A、12BとP型TFT1Bのドレイン領域12Bにコンタクトホール19を介して電氣的接続している。

この図9(B)では、各TFTの構造や配線構造などについては一般的な構造で表してあるが、このように構成したTFT回路に対して、実施の形態6または7で説明した配線構造のCMOSインバータ回路を用いることができる。また、TFT単体としてみれば、実施の形態1ないし5で説明した構造のTFTを用いることができる。

(画素領域の基本構成)

図10に示すように、画素領域では、画素用のTFT1Cのソース・ドレイン領域12Cに対して、データ線90(配線層)、およびITO膜からなる透明な画素電極44がコンタクトホール19を介してそれぞれ電氣的接続している。また、画素領域において、保持容量4は、画素用TFT1Cを形成するための半導体膜(シリコン膜)と同時形成された半導体膜を導電化したものを下層側電極41とし、この下層側電極41に対して、ゲート電極15と同時形成された前段の走査線91から張り出した上層側電極42が重なった状態にある。なお、保持容量4は、走査線91と同時形成される専用の容量線との間に構成することもある。

(各TFTおよび保持容量の断面構造)

このように液晶表示装置に用いられるアクティブマトリクス基板では、それぞれの領域にTFTが構成されるが、いずれのTFTも共通の製造工程の中で作り込めるように、図11に示すように、駆動回路用のP型のTFT1B、駆動回路用のN型のTFT1A、および画素用のTFT1Cは、基本的な断面構造が同一である。すなわち、いずれのTFT1A、1B、1Cも、ガラス基板10上において、ゲート電極15A、15B、15Cに対してシリコン酸化膜からなるゲート絶縁膜13を介して対峙するチャネル領域17A、17B、17Cと、このチャネル領域17A、17B、17Cに接続するソース・ドレイン領域12A、12B、12Cとを備えている。

これらのTFT1A、1B、1Cのうち、駆動回路用のN型のTFT1Aでは、シリコン酸化膜からなる層間絶縁膜51の上層側に位置する配線層802がコンタクトホール19を介してソース・ドレイン領域12Aに電氣的接続している構造

になっている。P型のTFT1Bでは、層間絶縁膜51の上層側に位置する配線層801がコンタクホール19を介してソース・ドレイン領域12Bに電氣的接続している構造になっている。N型のTFT1AとP型のTFT1Bとの間では、層間絶縁膜51の上層側に位置する配線層803がコンタクホール19を介してN型TFT1Aのドレイン領域122AとP型TFT1Bのドレイン領域122Bの双方に電氣的接続している構造になっている。

また、画素用のTFT1Cでは、層間絶縁膜51の上層側に位置するデータ線90および画素電極44がコンタクホール19を介してソース・ドレイン領域12Cにそれぞれ電氣的接続している構造になっている。なお、ガラス基板10の表面側には、シリコン酸化膜からなる下地保護膜11が形成されている。

このように構成したアクティブマトリクス基板では、駆動回路用のN型およびP型のTFT1A、1Bと、画素用のTFT1Cと、保持容量4とは、いずれも同じガラス基板10上に形成されるだけでなく、各素子を形成するための各工程を互いに援用していくことになる。その際に、いずれのTFT1A、1B、1CもLDD構造またはオフセットゲート構造として形成することが好ましい。駆動回路用のTFT1A、1BをLDD構造またはオフセットゲート構造として形成すると、その耐電圧が向上する分、信頼性を向上することができる。画素用のTFT1CをLDD構造またはオフセットゲート構造として形成すると、そのオフリーク電流が低減する分、画像表示の品位が向上する。このようないずれの構造であっても本発明を適用することは可能である。

(アクティブマトリクス基板の製造方法)

前述したいずれの形態においても、製造工程数を増やすことなく駆動回路(TFT)からの放熱効率を高めることを可能にしているので、アクティブマトリクス基板の各TFT1A、1B、1Cの製造方法の一例を、図12、図13を参照して説明する。

まず図12(A)に示すようにガラス製の基板10に対してTEOS(テトラエトキシシラン)と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000オングストロームのシリコン酸化膜からなる下地保護膜11を形成する。次に基板10の温度を300℃に設定して、下地保護膜11の表面にプラ

プラズマCVD法により厚さが約600オングストロームのアモルファスのシリコン膜からなる半導体膜200を形成する。次にアモルファスのシリコン膜からなる半導体膜200に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜200をポリシリコン膜にまで結晶化しておく。

レーザアニール法では、たとえば、エキシマレーザのビーム長が400mmのラインビームを用い、その出力強度はたとえば 200 mJ/cm^2 である。ラインビームについてはその幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

次に図12(B)に示すように、ポリシリコン膜となった半導体膜200をフォトリソグラフィ技術を用いてパターニングし、半導体膜20A、20B、20C、40を形成する。半導体膜20A、20B、20C、40は、それぞれ駆動回路用のN型のTFT1A、駆動回路用のP型のTFT1B、画素用のTFT1C、保持容量4を形成するための半導体膜である。これまでの工程を行う間に、TFTのしきい値を調整することを目的に低濃度の不純物を導入しておくことがある(チャネルドープ工程)。

次に図12(C)に示すように、半導体膜20A、20B、20C、40の表面に対して、TEOS(テトラエトキシシラン)と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約1000オングストロームのシリコン酸化膜からなるゲート絶縁膜13を形成する(ゲート絶縁膜形成工程)。

次に図12(D)に示すように、駆動回路用のN型のTFT1Aの形成予定領域全体を覆うとともに、駆動回路用のP型のTFT1Bおよび画素用のTFT1Cのゲート電極形成予定領域をやや広めに覆うレジストマスク91Aを形成し、この状態で半導体膜20A、20C、40に対してリンイオン(N型不純物)を約 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で導入する(高濃度N型不純物導入工程)。その結果、半導体膜20A、20Cのうちリンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域122A、122Cとなる。また、半導体膜40は保持容量4の下層側電極41となる。

次に図12(E)に示すように、駆動回路用のN型のTFT1A、画素用のTFT1C、および保持容量4の形成予定領域全体を覆うとともに、駆動回路用の

P型のTFT1Bのゲート電極形成予定領域をやや広めに覆うレジストマスク91Bを形成し、この状態で半導体膜20Bに対してボロンイオン（P型不純物）を約 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で導入する（高濃度P型不純物導入工程）。その結果、半導体膜20Bのうちボロンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域122Bとなる。

次に図12（F）に示すように、半導体膜20A、20B、20C、40にアークランプを用いた急速加熱処理またはレーザーアニール処理を行い、半導体膜20A、20B、20C、40に導入した不純物を活性化する（急速加熱処理工程）。

このようにして急速加熱処理工程を終えた後は、図13（A）に示すように、アルミニウムなどの金属膜からなる導電膜73をスパッタ法により形成する（導電膜形成工程）。

次に図13（B）に示すように、導電膜73の表面にレジストマスク92を形成した後、図13（C）に示すように導電膜73をパターニングし、各TFTのゲート電極15A、15B、15C、および保持容量4の上層側電極42を形成する（ゲート電極形成工程）。

次に図13（D）に示すように、駆動回路用のP型のTFT1Bの形成予定領域全体を覆うレジストマスク93Aを形成した後、水素ガスで希釈されたホスフィン（ PH_3 ）などを用いて低濃度のリンイオン（N型不純物）を約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入する（低濃度N型不純物導入工程）。半導体膜20A、20Cには水素イオンも約 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域17A、17Cとなる。その結果、同一の基板10上に駆動回路用のN型のTFT1A、および画素用のN型のTFT1Cとが構成され、これらのTFTは、ソース・ドレイン領域12A、12Cのうちゲート電極15A、15Cの端部に対峙する部分に低濃度ソース・ドレイン領域121A、121Cを備えるLDD構造となる。このような低濃度N型不純物の導入工程を省略すれば、TFT1A、1Cはオフセットゲート構造となる。

次に図13（E）に示すように、駆動回路用のN型のTFT1A、画素用のTFT1C、および保持容量4を覆うレジストマスク93Bを形成した後、水素ガ

スで希釈されたジボラン (B_2H_6) などを用いて低濃度のボロンイオン (P型不純物) を約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入する (低濃度P型不純物導入工程)。半導体膜20Bには水素イオンも約 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域17Bとなる。その結果、基板10上に駆動回路用のP型のTF T1Bが構成され、このTF Tは、ソース・ドレイン領域12Bのうちゲート電極15Bの端部に対峙する部分に低濃度ソース・ドレイン領域121Bを備えるLDD構造となる。このような低濃度P型不純物の導入工程を省略すれば、TF T1Bはオフセットゲート構造を有することになる。

次にフォーミングガス中で熱処理を行い、低濃度ソース・ドレイン領域121A、121B、121Cに導入した低濃度の不純物を活性化した後、図13(F)に示すように、TEOS (テトラエトキシシラン) と酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約5000オングストロームのシリコン酸化膜からなる層間絶縁膜51を形成する。それ以降、図11に示すように、層間絶縁膜51にコンタクトホール19を形成し、しかる後に各配線層801、802、803および画素電極44を順次形成する。

上記のTF Tを用いて形成された液晶表示装置の前端構成について図16及び図17を用いて説明する。図16は平面図であり、図17は図16のH-H'断面図である。アクティブマトリクス基板10の上には、複数の画素電極11により規定される画面表示領域 (即ち、実際に液晶層50の配向状態変化により画像が表示される液晶表示パネルの領域) の周囲において両基板を貼り合わせて液晶層50を包囲するシール部材の一例としての光硬化性樹脂からなるシール剤52が、画面表示領域54に沿って設けられている。そして、対向基板20には画面表示領域とシール剤52との間には、遮光性の周辺見切り53が設けられている。

シール剤52の外側の領域には、画面表示領域に下辺に沿ってデータ線駆動回路101及び実装端子102が、設けられており、画面表示領域の左右の2辺に沿って走査線駆動回路104が画面表示領域の両側に設けられている。更に画面表示領域の上辺には、画面表示領域54の左右の2辺に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、シール剤

52の四隅には、アクティブマトリクス基板10と対向基板20との間で電氣的導通をとるための導通剤からなる銀点106が設けられている。

上述の実施例の液晶表示装置を用いて構成される電子機器は、図18に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

このような構成の電子機器として、図22に示すプロジェクタ、図19に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、図21に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

図22は、投写型表示装置の要部を示す概略構成図である。図中、1410は光源、1413、1414はダイクロイックミラー、1415、1416、1417は反射ミラー、1418、1419、1420はリレーレンズ、1422、1423、1424は液晶ライトバルブ、1425はクロスダイクロイックプリズム、26は投写レンズを示す。光源1410はメタルハライド等のランプ1411とランプの光を反射するリフレクタ1412とからなる。青色光・緑色光反射のダイクロイックミラー1413は、光源1410からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1417で反射されて、赤色光用液晶ライトバルブ22に入射される。

一方、ダイクロイックミラー13で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1414によって反射され、緑色光用液晶ライトバルブ1423に入射される。一方、青色光は第2のダイクロイックミラー1414も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1418、リレーレンズ1419、出射レンズ1420を含むリレーレンズ系からなる導光手段21が設けられ、これを介して青色光が青色光用液晶ライトバルブ1424に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム1425に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投写光学系である投写レンズ1426によってスクリーン1427上に投写され、画像が拡大されて表示される。

図19に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

図20に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図20に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図23の場合には回路基板1308に搭載できる。

図20はページャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使

用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図21に示すように、液晶表示基板1304を構成する2枚の透明基板1304a, 1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

〔産業上の利用分野〕

以上説明したように、本発明に係るTFT及びTFT回路では、導電膜または半導体膜から構成された構成部分には放熱用拡張部が形成されていることに特徴を有する。従って、本発明によれば、放熱用拡張部が形成されている分だけ、当該構成部分の表面積が拡大したことになるので、そこからの放熱効率が低い。よって、TFT回路においてその特性や性能向上のためにTFTに流れる電流をアップしても、放熱効率が低い分、TFTの自己発熱による温度上昇が小さいので、特性劣化や信頼性の低下が生じない。しかも、放熱用の拡張部分は、TFT回路をそれまで構成していた部分を拡張した部分である。従って、製造工程が増えないので、TFT回路の製造コストは上昇しない。

請 求 の 範 囲

1. 基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタと、前記ソース・ドレイン領域に電氣的接続するソース・ドレイン配線層と、前記ゲート電極に電氣的接続するゲート配線層とを有する薄膜トランジスタにおいて、

該薄膜トランジスタの各構成部分のうち、導電膜または半導体膜から構成された少なくとも1つの構成部分に放熱用拡張部が形成されていることを特徴とする薄膜トランジスタ。

2. 請求項1において、前記放熱用拡張部は、前記ゲート電極から側方への拡張部分であることを特徴とする薄膜トランジスタ。

3. 請求項2において、前記ゲート電極の拡張部分は、該ゲート電極の少なくとも一方の端部に形成されていることを特徴とする薄膜トランジスタ。

4. 請求項3において、前記ゲート電極の拡張部分には、複数のコンタクトホールを介して前記ゲート配線層が電氣的接続していることを特徴とする薄膜トランジスタ。

5. 請求項2において、前記ゲート電極の拡張部分は、前記チャネル領域に重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

6. 請求項5において、前記ゲート電極の拡張部分は、前記チャネル領域の幅方向における略中央領域に相当する位置に形成されていることを特徴とする薄膜トランジスタ。

7. 請求項1において、前記放熱用拡張部は、前記チャネル領域から側方への拡張部分であることを特徴とする薄膜トランジスタ。

8. 請求項7において、前記チャネル領域の拡張部分は、前記ゲート電極に重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

9. 請求項1において、前記放熱用拡張部は前記ソース・ドレイン領域から側方への拡張部分であることを特徴とする薄膜トランジスタ。

10. 請求項9において、前記ソース・ドレイン領域の拡張部分には、複数のコ

ンタクトホールを介してソース・ドレイン配線層が電氣的接続していることを特徴とする薄膜トランジスタ。

11. 請求項1において、前記放熱用拡張部は、逆導電型の前記薄膜トランジスタによって構成されたCMOSインバータ回路において各CMOS回路間で前記薄膜トランジスタのソース・ドレイン領域同士を接続するように前記ソース・ドレイン領域から側方に拡張された拡張部分であることを特徴とする薄膜トランジスタ。

12. 請求項11において、前記放熱用拡張部は、該拡張部自身が接続するソース・ドレイン領域と同一の不純物により導電化されていることを特徴とする薄膜トランジスタ。

13. 請求項11または12において、前記放熱用拡張部は、各CMOS回路間で前記薄膜トランジスタのソース・ドレイン領域同士を接続する前記ソース・ドレイン配線層と重畳する領域内に形成されていることを特徴とする薄膜トランジスタ。

14. 請求項1において、前記放熱用拡張部は、前記ソース・ドレイン配線層および前記ゲート配線層のうちの少なくとも一方の配線層から側方への拡張部分であることを特徴とする薄膜トランジスタ。

15. 請求項1ないし14のいずれかに規定する薄膜トランジスタによって駆動回路が構成されたアクティブマトリクス基板を用いたことを特徴とする液晶表示装置。

16. 請求項15に規定する液晶表示装置を用いた電子機器。

図 1

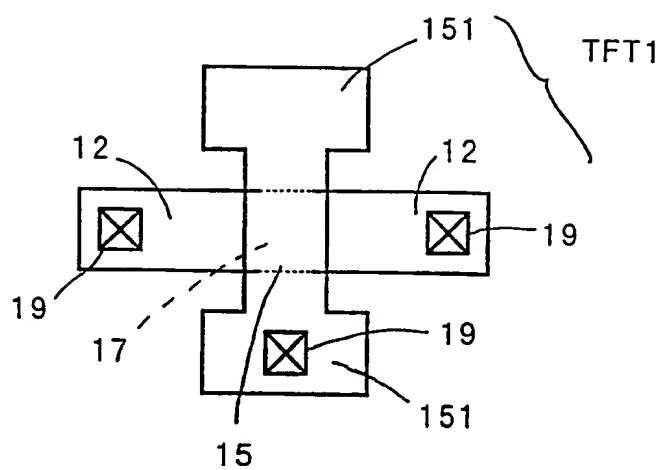
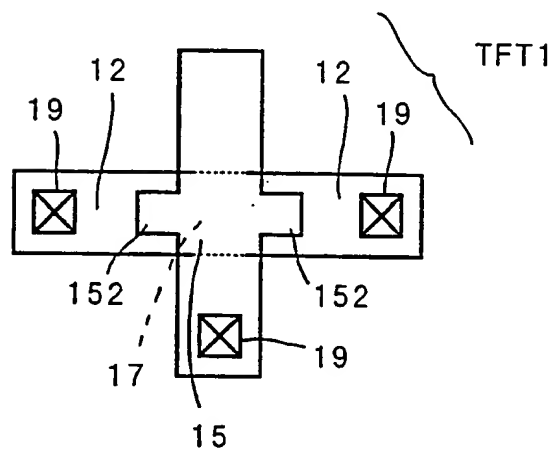


図 2



2 / 19

図 3

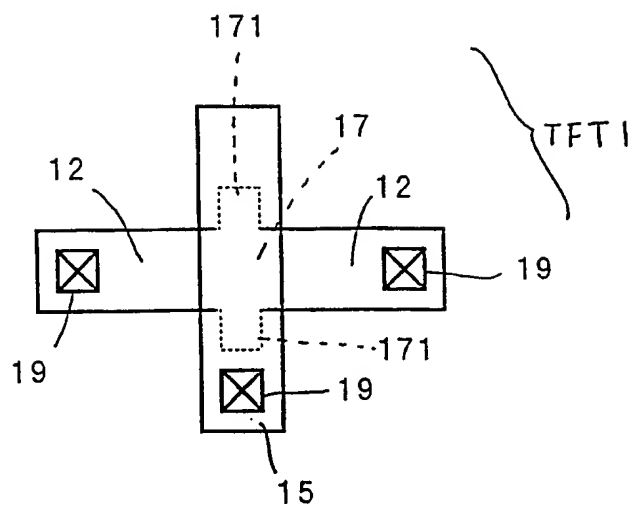
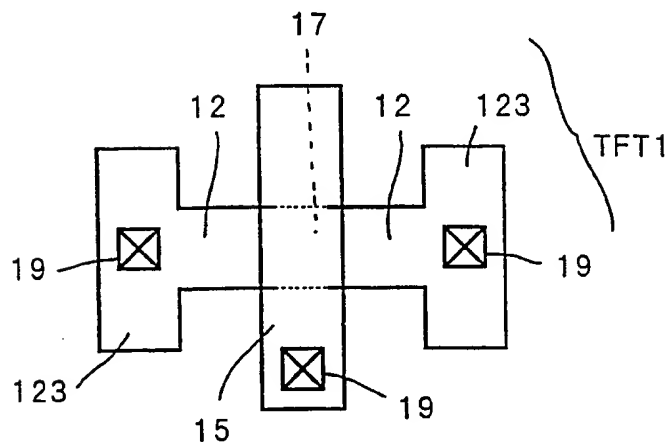


図 4



3 / 1 9

图 5

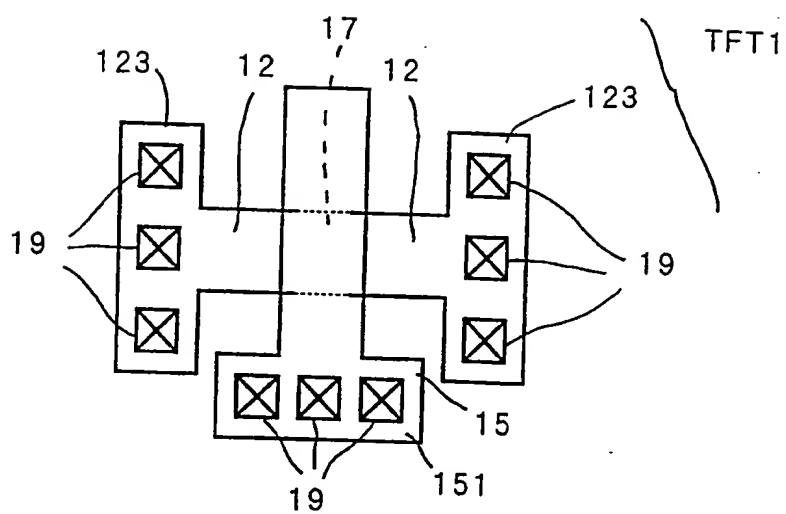


図 6

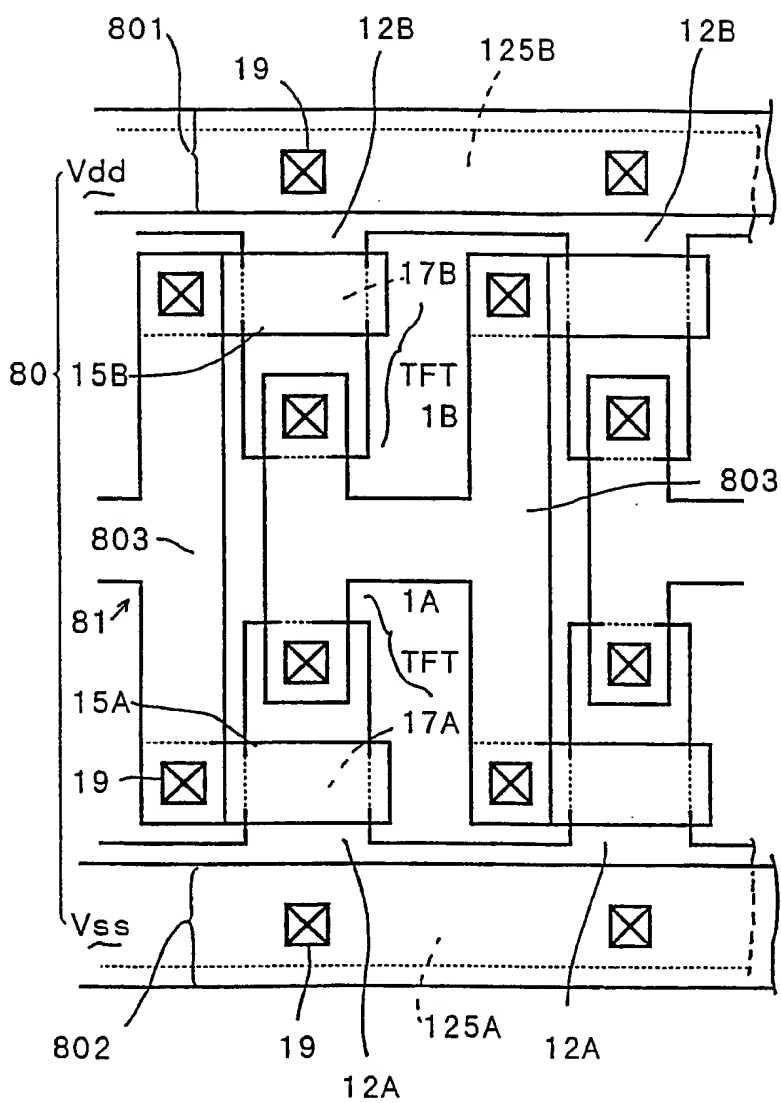
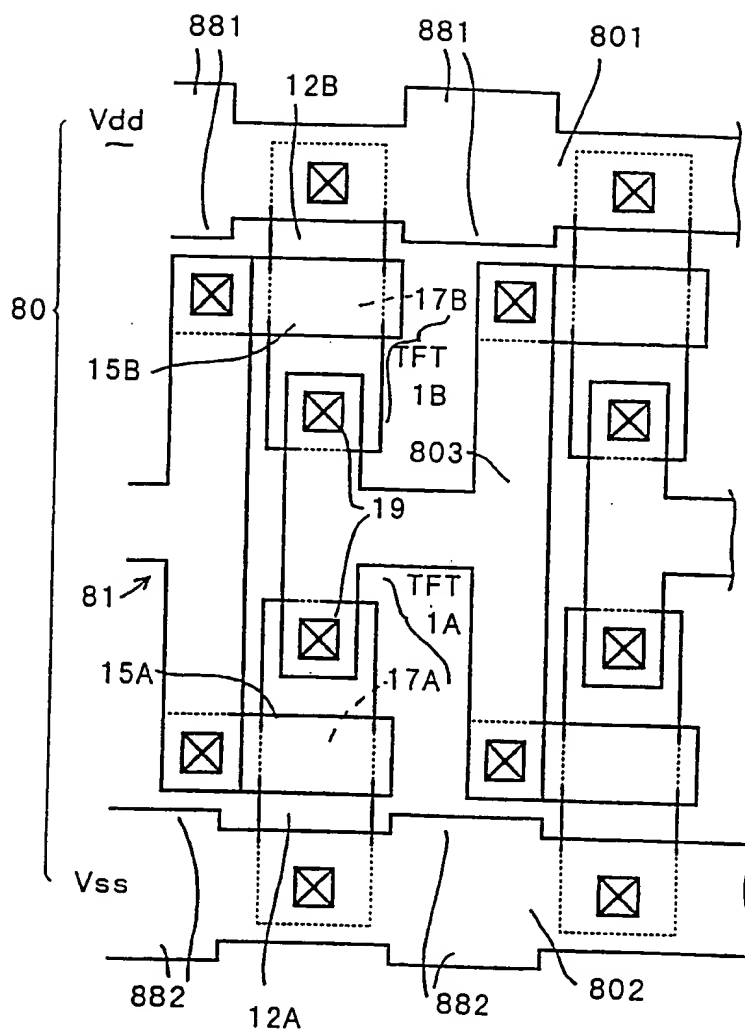


図 7

(A)



(B)

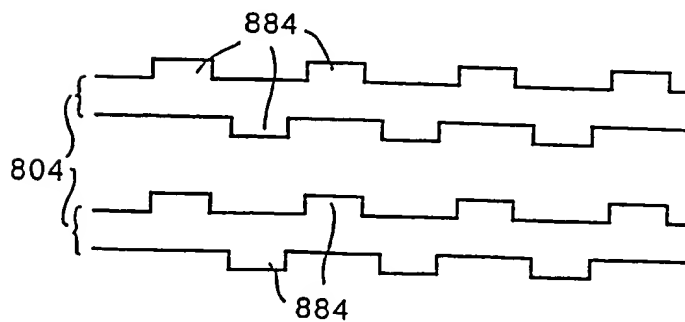
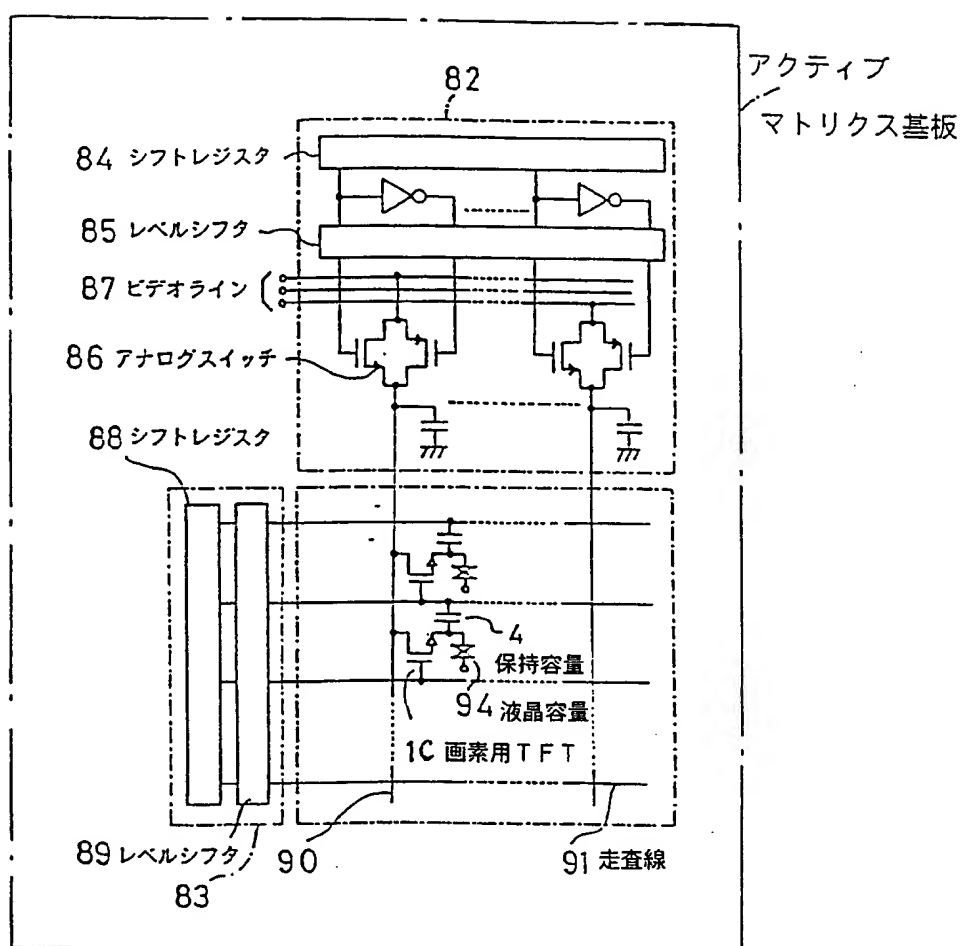


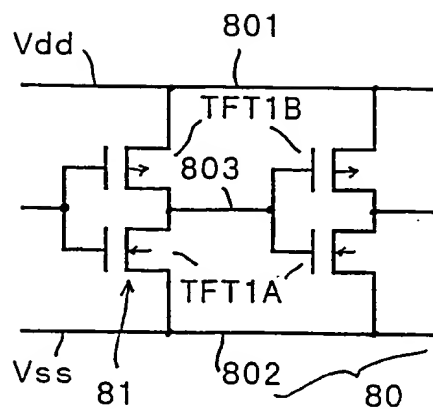
図 8



7 / 19

図 9

(A)



(B)

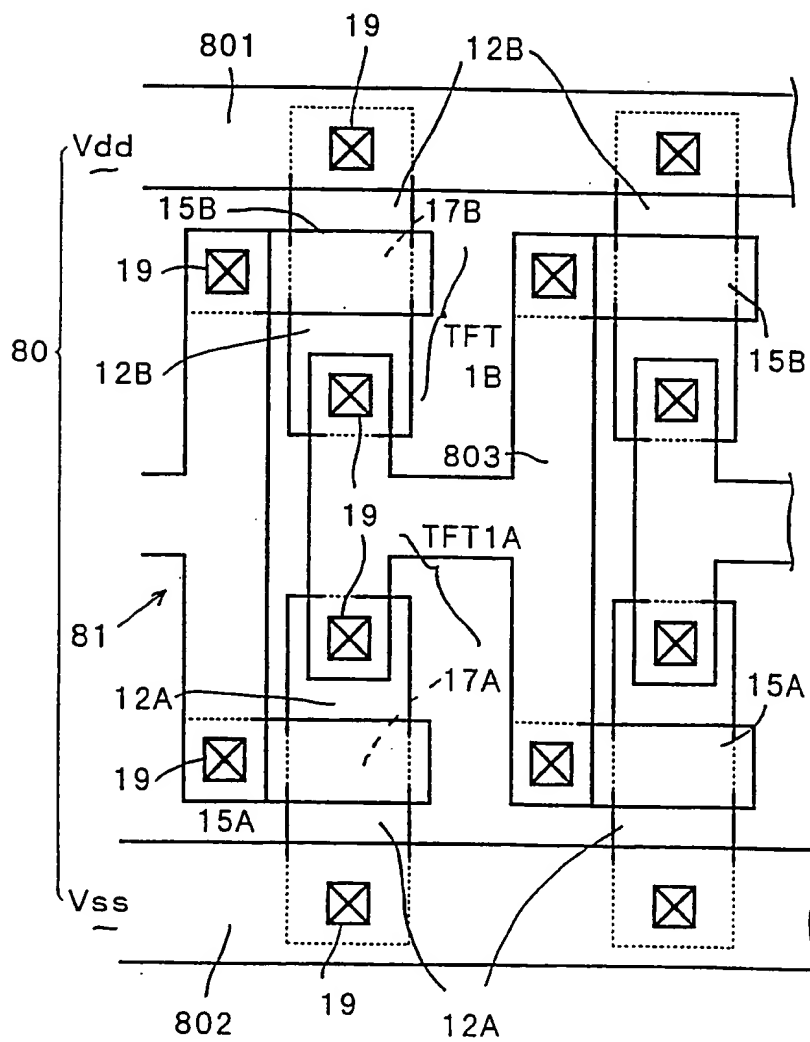
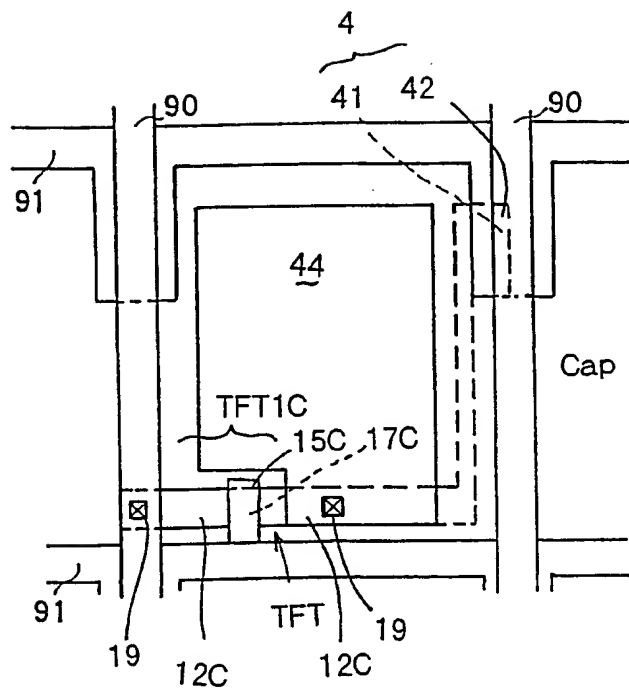
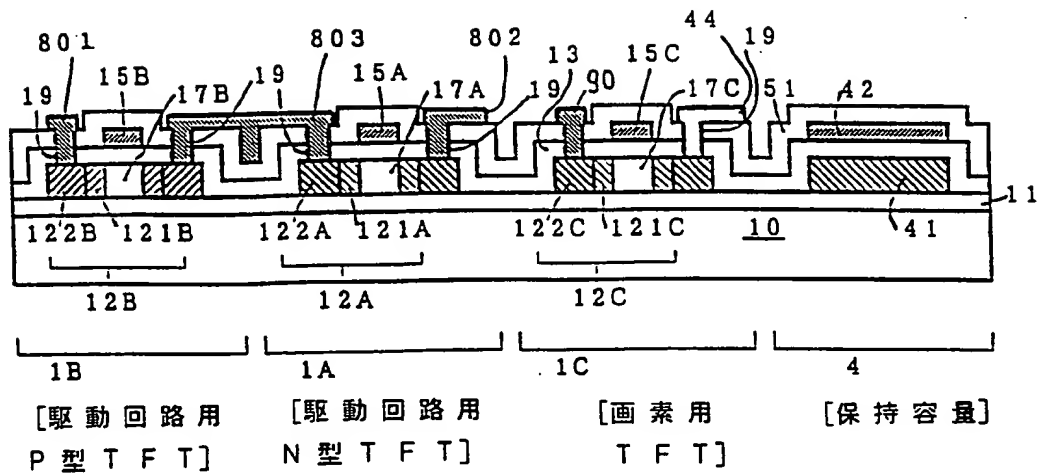


図 10



9 / 19

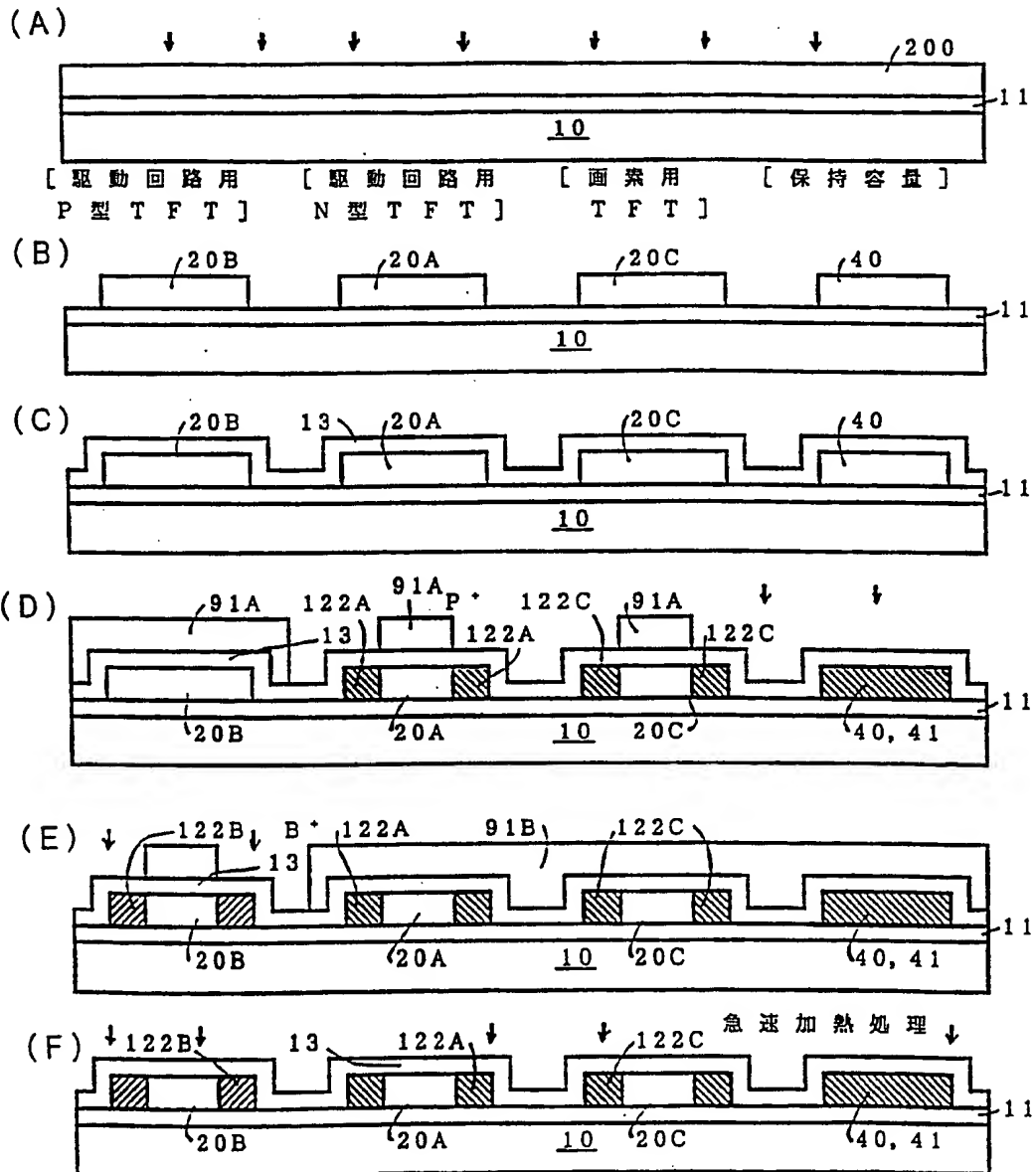
図 11



10/19

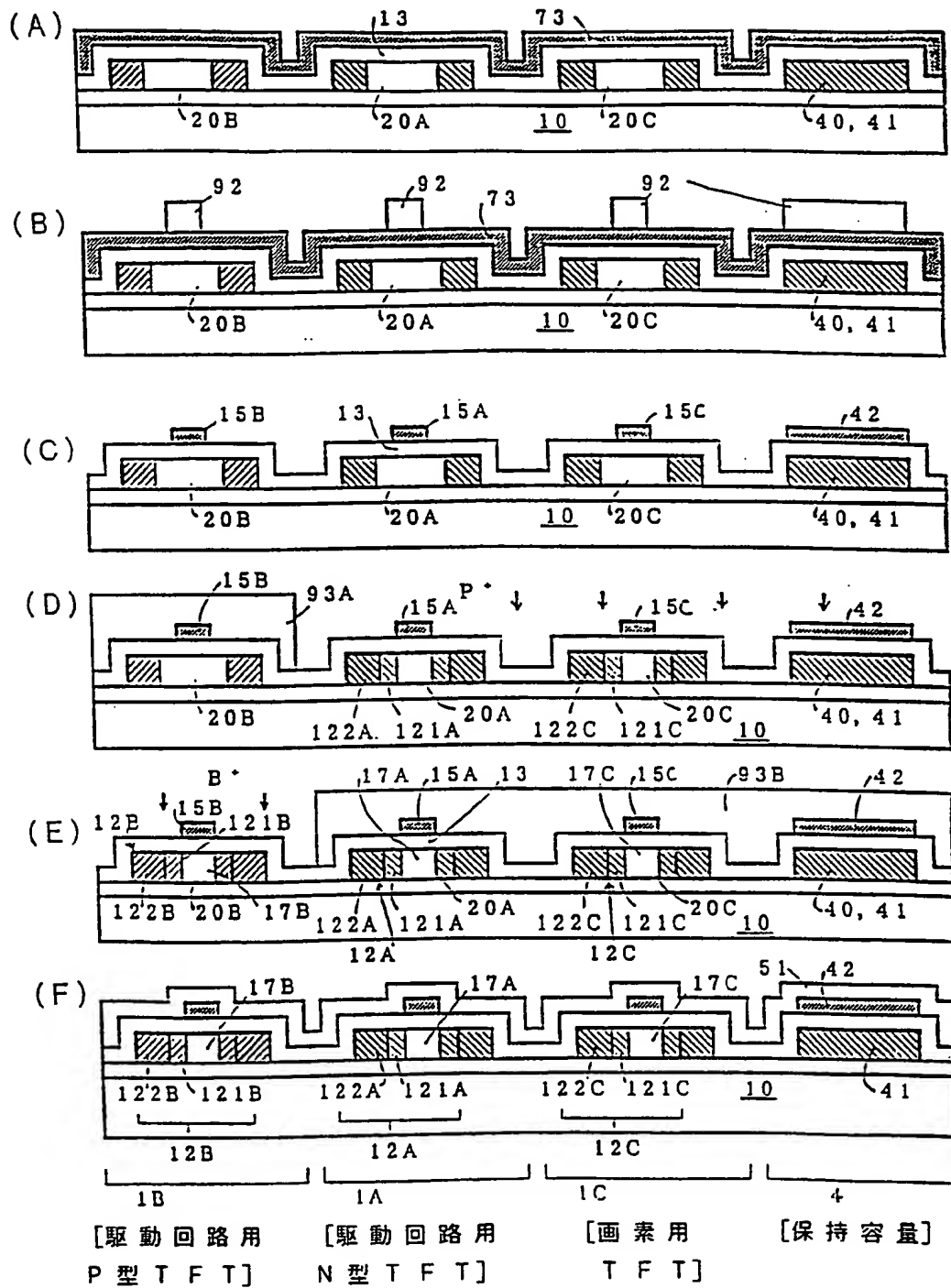
図 12

レーザアニール



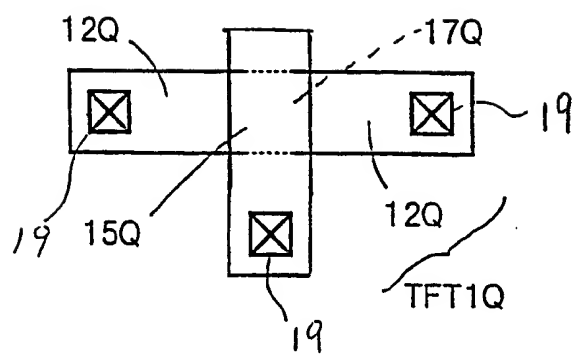
11/19

図 13



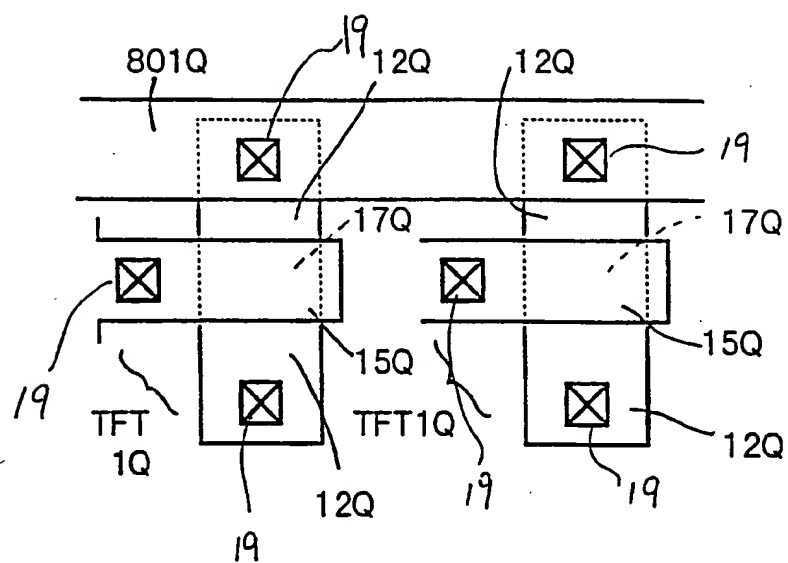
1 2 / 1 9

図 1 4



13 / 19

図 15



14/19

図 16

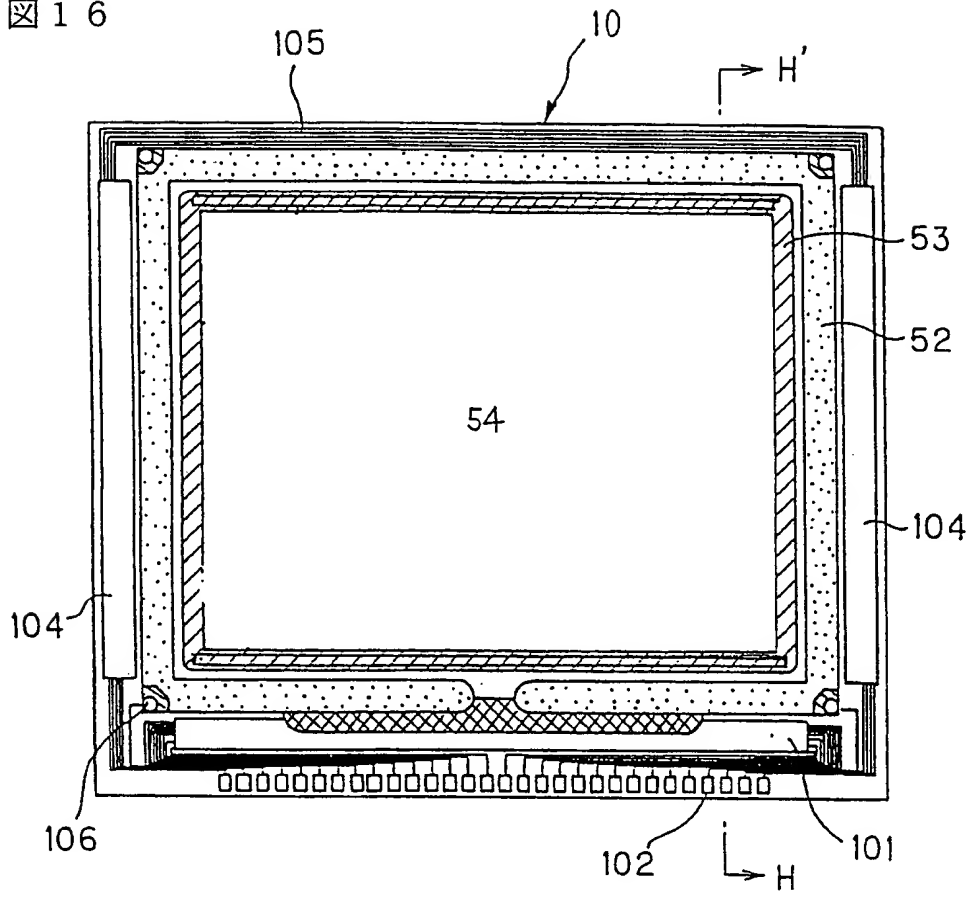
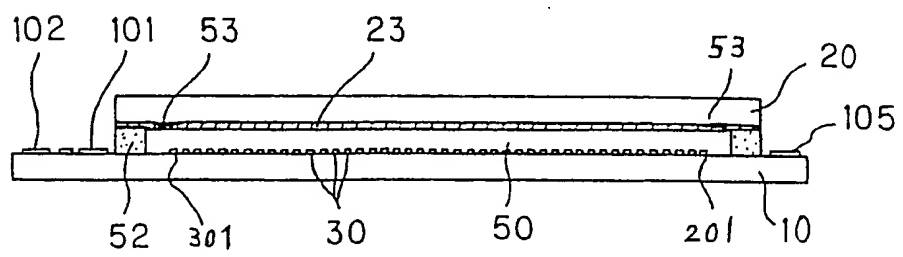
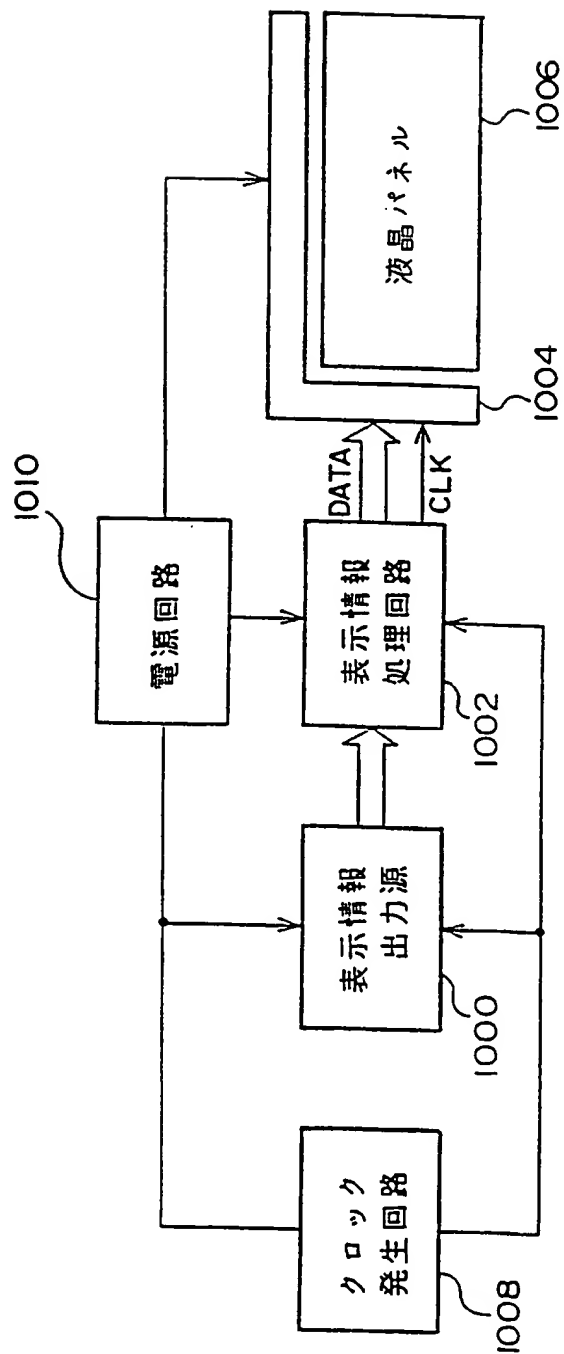


図 17



15 / 19

図 18



16 / 19

図 19

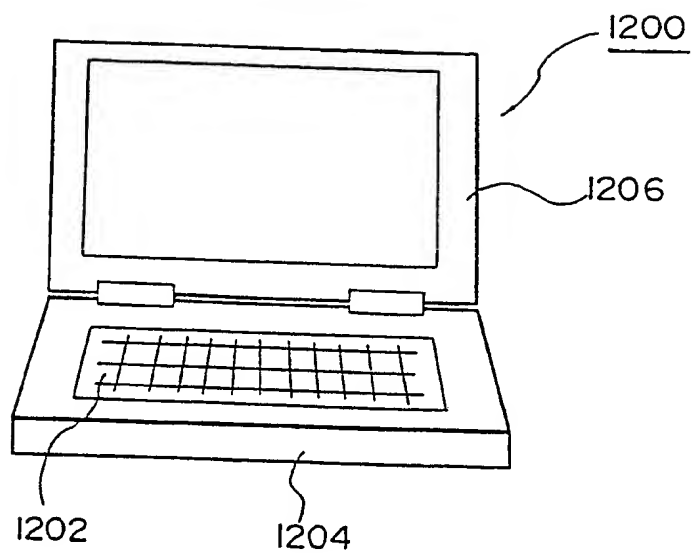
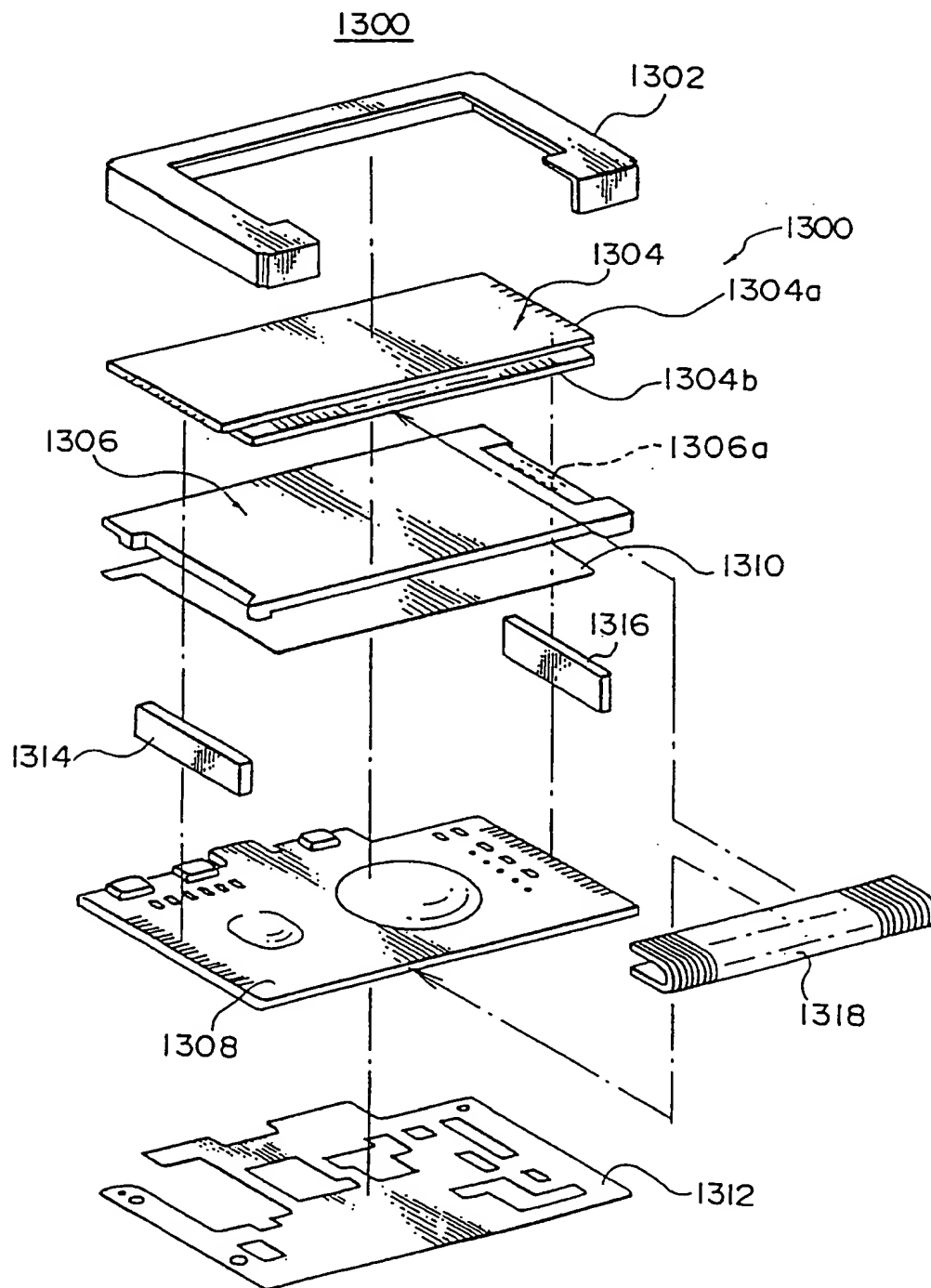
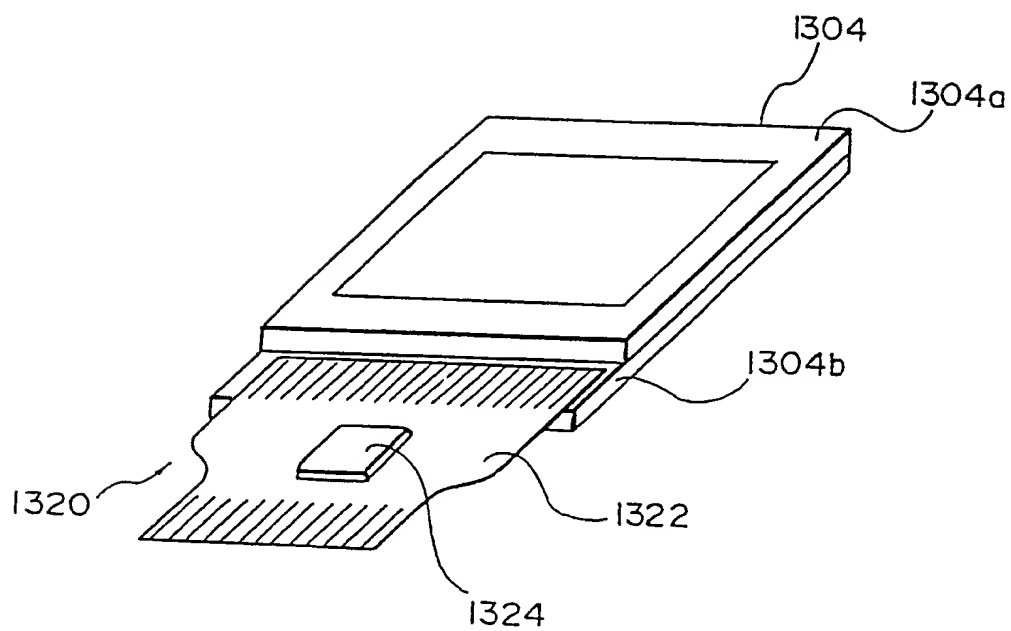


図 20



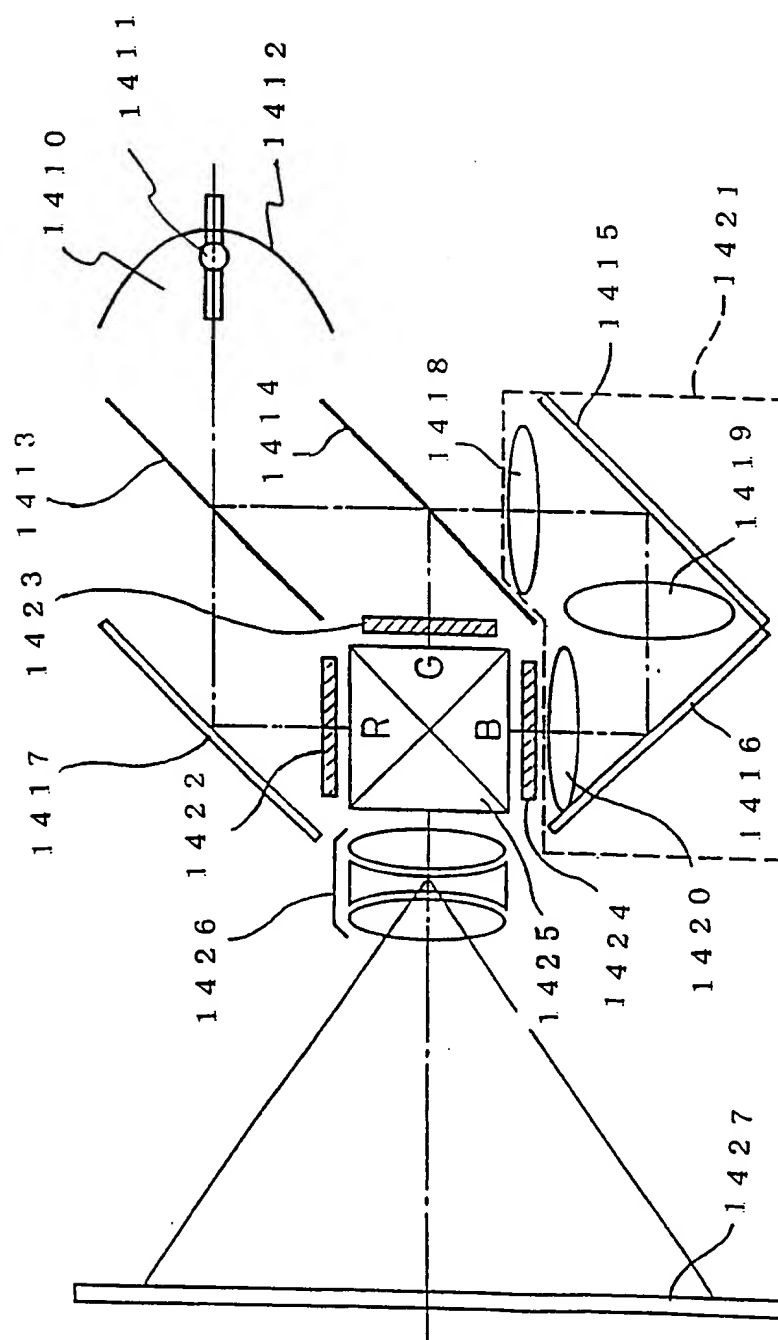
18 / 19

図 21



19/19

図 22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03626

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/336, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1964 - 1997	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1997	1996 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 08-070049, A (Nippondenso Co., Ltd.), March 12, 1996 (12. 03. 96),	1, 9, 11-13
Y	Figs. 1(A), 1(B) (Family: none)	10, 15-16
A	JP, 06-260643, A (Semiconductor Energy Laboratory Co., Ltd.), September 16, 1994 (16. 09. 94), Figs. 1 to 3 (Family: none)	2 - 6
A	JP, 06-177386, A (Fuji Xerox Co., Ltd.), June 24, 1994 (24. 06. 94),	1
Y	Page 2, left column, line 22 to page 3, right column, line 29 (Family: none)	16
A	JP, 07-301825, A (Seiko Instruments Inc.), November 14, 1995 (14. 11. 95), Page 2, lines 36 to 47 (Family: none)	1



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

January 6, 1998 (06. 01. 98)

Date of mailing of the international search report

January 13, 1998 (13. 01. 98)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁶ H01L21/336, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁶ H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1964-1997
日本国公開実用新案公報 1971-1997
日本国登録実用新案公報 1994-1997
日本国実用新案登録公報 1996-1997

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 08-070049, A (日本電装株式会社), 12. 3月. 1996 (12. 03. 96)	1, 9, 11-13
Y	図1 (A) ~ (B) (ファミリーなし)	10, 15-16
A	J P, 06-260643, A (株式会社半導体エネルギー研究所), 16. 9月. 1994 (16. 09. 94)	2~6
A Y	J P, 06-177386, A (富士ゼロックス株式会社), 24. 6月. 1994 (24. 06. 94) 第2頁左欄第22行~第3頁右欄第29行 (ファミリーなし)	1 16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06. 01. 98

国際調査報告の発送日

13.01.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4M 9361

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 07-301825, A (セイコー電子工業株式会社), 14. 11月. 1995 (14. 11. 95) 第2頁第36~47行 (ファミリーなし)	1